

⑬ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平1-100638

⑤ Int. Cl.⁴ 識別記号 庁内整理番号 ⑬ 公開 平成1年(1989)4月18日
 G 06 F 11/14 3 1 0 N-7368-5B
 9/38 3 8 0 A-7361-5B
 審査請求 未請求 発明の数 1 (全9頁)

⑭ 発明の名称 命令リトライ制御方式

⑰ 特 願 昭62-259341

⑱ 出 願 昭62(1987)10月14日

⑲ 発 明 者 愛 野 茂 幸 東京都港区芝5丁目33番1号 日本電気株式会社内
 ⑲ 発 明 者 山 野 孝 三 東京都港区芝5丁目33番1号 日本電気株式会社内
 ⑲ 出 願 人 日 本 電 気 株 式 有 限 公 司 東京都港区芝5丁目33番1号
 ⑲ 代 理 人 弁 理 士 柳 川 信

明 細 書

する。

従来技術

従来のパイプライン処理型情報処理装置でのパイプライン処理は次のようにして行われる。第4図を参照すると、このパイプライン処理の一例では、アドレス手段により命令キャッシュから命令を取出す命令取出(IF)ステージ、このステージで取出された命令を命令レジスタに格納したあとこの命令のオペランドにもとづきアドレス加算器で論理アドレスを生成するオペランドアドレス生成(AC)ステージ、このステージで生成された論理アドレスを論理アドレスレジスタに格納した後アドレス変換バッファで論理アドレスを物理アドレスに変換するアドレス変換(AT)ステージ、このステージで変換された物理アドレスを物理アドレスレジスタに格納したあと、この物理アドレスでオペランドキャッシュをアクセスし、オペランドを取出すオペランドキャッシュアクセス(CA)ステージ、このステージで取出されたオペランドを実行レジスタに格納したあと演算器で演算する

1. 発明の名称

命令リトライ制御方式

2. 特許請求の範囲

パイプラインの長さの異なる演算制御手段を有する命令リトライ制御方式であって、前記演算制御手段からの演算結果を格納するソフトウェアビジブル格納手段と、このソフトウェアビジブル格納手段の内容がある命令に対していくつ更新されたかを示す値を表示するレジスタセーブバッファカウンタ手段と、どの命令がいくつ前記ソフトウェアビジブル格納手段の内容を更新し前記レジスタセーブバッファカウンタ手段のどの値が表示されているかを認識し制御する手段とを含むことを特徴とする命令リトライ制御方式。

3. 発明の詳細な説明

技術分野

本発明はリトライ制御方式に関し、特に間欠障害の救済を行うための命令リトライ制御方式に関

演算実行 (EX) ステージ、及びこのステージで演算された結果を格納する結果格納 (ST) ステージの 6 つのステージに分割されている。

この各ステージは一般には 1 マシンサイクルタイム t が割当てられ、この入力端から 1 マシンサイクルタイム t 毎にデータが与えられ夫々のステージで論理処理が行われたあと、出力端に 1 マシンサイクルタイム t 毎に格納される。このうち演算実行 (EX) ステージはさらに数段階の演算実行ステージに分割されており、これは 1 マシンサイクルタイム t 以上の時間を必要とする。

第 5 図を参照すると、演算器の左側には浮動小数点の演算を行うパイプラインステージが構成され、右側には固定小数点の演算を行うパイプラインステージが構成されている。このような構成では、固定小数点演算命令のように右側の一段目のステージで演算が終了してしまうにもかかわらず、左側のソフトウェアステージに合せた固定レジスタが配置されタイミング調整が行われるため、命令カウンタの更新は長い左側の浮動小数点用パイ

- 3 -

タセーブバッファカウンタ手段と、どの命令がいくつ前記ソフトウェアビジブル格納手段の内容を更新し前記レジスタセーブカウンタ手段のどの値が表示されているかを認識し制御する手段とを含む構成である。

実施例

次に本発明の一実施例について図面を参照して詳細に説明する。

第 1 図を参照すると、本発明の一実施例は第 4 図の命令取出 (IF)、オペランドアドレス生成 (AC)、アドレス変換 (AT)、及びオペランドキャッシュアクセス (CA) の各処理のあと演算実行 (EX) の制御を行う演算制御部 1、ソフトウェアが操作可能なソフトウェアビジブルレジスタ 2、演算制御部 1 から線 101 を介して与えられるレジスタ 2 用更新指示信号を格納する第 1 更新指示レジスタ PCC 3、演算制御部 1 から線 102 を介して与えられるレジスタ 2 用種別指示信号を格納する第 1 種別指示レジスタ RID 4、演算制御部 1 から線 103 を介して与えられるレジスタ 2 のレジスタ

- 5 -

ブラインによる命令カウンタの更新時まで待たれることになる。従って、固定レジスタを何段も重ねる必要があり、またその制御回路も必要となってハードウェアの増大を招くことになる。その上、演算結果は固定レジスタを順次流れることになり、後続の命令のこの演算実行ステージへの導入が遅延されるという欠点も招く。

発明の目的

本発明の目的は、後続の命令に早く更新されたソフトビジブルレジスタのデータを渡すことにより、演算速度の向上をはかり、少ないハードウェアで高いリトライ率を得るようにした命令リトライ制御方式を提供することにある。

発明の構成

本発明の方式は、パイプラインの長さの異なる演算制御手段を有する命令リトライ制御方式であって、前記演算制御手段からの演算結果を格納するソフトウェアビジブル格納手段と、このソフトウェアビジブル格納手段の内容がある命令に対していくつ更新されたかを示す値を表示するレジス

- 4 -

番号を格納する第 1 番号レジスタ RNO 5、演算制御部 1 から線 104 を介して与えられるレジスタ 2 用更新データを格納する更新データレジスタ RDR 6、第 1 更新指示レジスタ PCC 3 からの更新指示信号を格納する第 2 更新指示レジスタ PCC' 7、第 1 種別指示レジスタ RID 4 からの種別指示信号を格納する RID' 8、第 1 番号レジスタ RNO 5 からのレジスタ番号を格納する第 2 番号レジスタ RNO' 9、ソフトウェアビジブルレジスタ 2 からの書込前データを格納する読出データレジスタ RDR' 10、ソフトウェアビジブルレジスタ 2 の更新に回答して更新前のデータをレジスタセーブバッファ 13 に書込む指示をし、リカバーに回答してレジスタセーブバッファ 13 内の有効データをすべてソフトウェアビジブルレジスタ 2 に書戻すように指示するレジスタセーブバッファセーブ/リカバー制御部 11、この制御部 11 の指示に回答して更新前のデータを記憶し有効データを読出すレジスタセーブバッファ 13、このレジスタセーブバッファ 13 に対しクリア指示を行うレジスタセーブバッ

- 6 -

ファクリア制御部 21、線 115 を介して前記レジスタセーブバッファ 13 にセーブアドレスを供給するセーブアドレスレジスタ SBA 12、このレジスタ SBA 12 の内容を更新するためのカウンタ CNT 14、命令カウンタ 17、この命令カウンタ 17 の内容を更新するための CNT 18、障害処理を制御し線 108 を介して障害検出信号を送出し線 111 を介してセーブ／リカバー制御部 11 にリカバー指示信号を送出する障害処理制御部 16、線 108 を介して与えられる障害検出信号に回答して命令カウンタ 17 の内容の更新を制御する命令カウンタ更新制御部 15、ある命令がいくつかのソフトウェアレジスタ 2 の内容を更新したかを示す値を保持するレジスタセーブバッファカウンタ 20、及び演算部における複数の段数の異なるパイプラインによりソフトウェアレジスタ 2 の更新順序は演算部に入るまでのシリアルな命令順序とは一致しなくなるために、どの命令がいくつかソフトウェアレジスタ 2 の値を更新しその値であるカウント数をレジスタセーブバ

- 7 -

数点演算にともない更新すべきソフトウェアレジスタ 2 種別信号をパイプラインの最初のステージのみで保持するレジスタ 62 及び 63、固定小数点演算にともない更新すべきソフトウェアレジスタのレジスタ番号をパイプラインの最初のステージのみで保持するレジスタ 64 及び 65、固定小数点演算を行うためのレジスタ 66 及び 67 と演算器 68、浮動小数点用レジスタ 36 及び固定小数点用レジスタ 61 のどちらか一方からの更新指示信号を選択して線 101 に送出するセクタ 69、浮動小数点用レジスタ 42 及び固定小数点用レジスタ 63 のどちらか一方からの種別信号を選択して線 102 に送出するセクタ 70、浮動小数点用レジスタ 48 及び固定小数点用レジスタ 65 のどちらか一方からのレジスタ番号を選択して線 103 に送出するセクタ 71、及び浮動小数点用レジスタ 54 及び固定小数点用レジスタ 67 のどちらか一方からの演算結果を選択して線 104 に送出するセクタ 72 を含む。

まず、本発明の一実施例の前提となる動作につ

- 9 -

ッファカウンタ 20 の中のどのカウンタ (I)、(II) または (III) が保持しているかを認識し制御するレジスタバッファカウンタ制御部 19 を含む。

第 2 図を参照すると、第 1 図の演算制御部 1 は 5 段のパイプラインで形成されており、浮動小数点演算にともないソフトウェアレジスタ 2 用更新指示信号を夫々のステージ (段) で保持するレジスタ群 31 ~ 36、浮動小数点演算にともない更新すべきソフトウェアレジスタ 2 種別信号をパイプラインの各ステージで保持するレジスタ群 37 ~ 42、浮動小数点演算にともない更新すべきソフトウェアレジスタ 2 のレジスタ番号をパイプラインの各ステージで保持するレジスタ群 43 ~ 48、浮動小数点演算を行うためのレジスタ群 49 ~ 54 と、桁合せ回路 55 及び 59 と、演算器群 56 ~ 58、固定小数点演算にともないソフトウェアレジスタ 2 用更新指示信号をパイプラインの最初のステージのみで保持するレジスタ 60 及び 61、固定小

- 8 -

いて詳細に説明する。まず、先行する命令 A は浮動小数点演算命令のように長いパイプライン演算処理を必要とするものとする。

第 3 図を参照すると、サイクル 1 で命令 A が命令取出 (IF) ステージの処理により取出される。次にサイクル 2 では、命令 A はアドレス生成 (AC) ステージの処理によりアドレス生成されるとともに、固定小数点演算命令のような短いパイプライン演算で済む命令 B は、命令取出 (IF) ステージの処理により取出される。以下同様に、命令 A はアドレス変換 (AT)、及びキャッシュアクセス (CA) の処理がなされたあと、サイクル 5 から浮動小数点の演算が行われる。命令 B はアドレス生成 (AC)、アドレス変換 (AT) 及びキャッシュアクセス (CA) の処理がなされたあと、サイクル 6 から 32 ビット固定小数点データの 16 バイトずつの演算が行われる。

命令 C に関しては、命令 B に続いてサイクル 3 から命令取出 (IF)、アドレス生成 (AC)、アドレス変換 (AT) 及びキャッシュアクセス (CA) の

- 10 -

処理がなされたあと、サイクル8から1バイト固定小数点データの演算が行われる。

第1図、第2図及び第3図を参照すると、命令Aの演算はサイクル5で析合せ回路55により析合せ処理がなされたあと、サイクル6、7及び8で演算器群56、57及び58により浮動小数点演算が行われる。

一方、命令Bのオペランドはサイクル5で取出されたあと、前半の16ビットのデータが次のサイクル6で固定小数点演算器68により演算される。次に後半の16ビットのデータがサイクル7で該演算器68により演算される。このようにして演算された結果はサイクル7及び8でレジスタ54、セクタ72を介してデータレジスタ6にセットされる。

次にソフトウェアビジブルレジスタ2からの読出及び書込動作について詳細に説明する。

第1図及び第3図を参照すると、サイクル7で更新データレジスタ6への演算結果のセットとともに、更新指示レジスタPCC3に更新指示信号が

- 11 -

及びレジスタ9からのレジスタ番号がレジスタセーブバッファ13に格納される。

一方、ソフトウェアビジブルレジスタ2にはレジスタ6からの演算結果が格納される。このサイクル8では、セーブ／リカバー制御部11から線118を介してレジスタセーブバッファカウンタ制御部19から起動され、制御部19内の擬似命令カウンタ(C)には命令Bが設定されるとともに、制御部19は信号線117を介して初期設定されていたレジスタバッファカウンタ20の応答するカウンタIIをカウントさせる。

演算制御部1から線107を介して命令カウンタ更新制御部15が起動される。命令カウンタ更新制御部15は線108を介して送られてくる信号で障害検出のないことを判定し、線107を介して与えられてくる信号により演算制御部1で実行されている命令Bが当初予定していた命令Aでないことを判定し、命令カウンタ17ではなく、レジスタバッファカウンタ制御部19にある擬似命令カウンタに命令Bがカウントされる。

- 13 -

セットされ、第1種別指示レジスタRID4に種別指示信号がセットされ、第1番号レジスタRNO5にレジスタ番号がセットされる。この更新指示信号は、レジスタ7及び線105を介してレジスタバッファセーブ／リカバー制御部11に与えられ線106を介してセーブバッファアドレスレジスタ12を初期化する。このレジスタ12のアドレスはサイクル毎に+1ずつカウンタCNT14によりカウントアップされる。従って、次のサイクル8では、レジスタ3からの更新指示信号に回答して、レジスタ4からの種別指示信号及びレジスタRNO5からのレジスタ番号にもとづきソフトウェアビジブルレジスタ2から更新前のデータD0'を読出し、レジスタ10を介してレジスタセーブバッファ13に格納する。

この時有効性ビットは“1”とされ、セーブ／リカバー制御部11から線116を介してライト指示信号が与えられるとともに、アドレスレジスタ12から線115を介してアドレス“1”が与えられる。このとき、レジスタ8からの種別指示信号

- 12 -

サイクル9はサイクル8と同じ動作が次の命令またはデータに対して行われる。

本発明の特徴は、このステージEX5で演算実行中に障害が検出された場合の命令リトライにある。すなわち、障害検出は障害処理制御部16は線108を介して命令カウンタ更新制御部15に通知される。サイクル10でこの制御部15は制御部19内の擬似命令カウンタをリセットするとともに、線109を介して命令Aをセットする。

サイクル10では、ソフトウェアビジブルレジスタ2から更新前のデータC'がレジスタセーブバッファ13にセーブされる。レジスタセーブバッファ13へのセーブでは、命令に対応するレジスタセーブバッファカウンタ20の対応するカウンタ(II)の内容とレジスタセーブアドレスレジスタ12の内容を+1カウントアップする。レジスタセーブバッファカウンタ20内のカウンタ(II)は命令Bによるソフトウェアビジブルレジスタ2の更新が終了するとカウント数“2”を確保し続ける。後続の命令Cによるソフトウェアビ

- 14 -

ジブルレジスタ 2 の更新は、次のレジスタセーブバッファカウンタ (Ⅲ) を +1 ずつカウントアップしながら行われる。

なお、タイムチャートでは、図示されていないが、命令カウンタ 17 の更新に回答して、それに対応するレジスタセーブバッファカウンタ (Ⅰ) ～ (Ⅲ) のうちのいずれかの保持カウント数だけ、レジスタセーブバッファアドレスの小さいものからレジスタセーブバッファ 13 内のデータがクリアされる。これは命令カウンタの更新により、レジスタセーブバッファ 13 の内容が不要になるためであり、また次の命令のセーブに備えるためであり、その上後述するリカバー動作を容易にするためでもある。

この動作を第 1 図を参照して詳細に説明する。第 1 図を参照すると、線 108 を介して障害処理制御部 16 から障害検出通知がない場合、命令カウンタ更新制御部 15 は信号線 110 を介してレジスタセーブバッファカウンタ制御部 19 に命令の更新が行われたことを通知する。レジスタセーブバ

- 15 -

ずつカウントダウンされ、サイクル 12～15 において、レジスタセーブバッファの内容がソフトウェアジブルレジスタ 2 にリカバーされ、命令リトライが開始される。この動作を以下詳述する。

第 1 図及び第 3 図を参照すると、リカバー処理は、障害処理制御部 16 が線 111 を介してレジスタセーブバッファセーブ／リカバー制御部 11 にリカバー指示を出すことにより開始される。このリカバーセーブバッファセーブ／リカバー制御部 11 から線 125 を介して与えられる指示に回答して、サイクル 12、13 及び 14 においてレジスタセーブバッファ 13 内の有効性ビットにより有効性表示されている全てのデータ B0⁺、B1⁺ 及び C⁺、更にこれに付随する種別指示信号及びレジスタ番号が線 114、113 及び 112、レジスタ 6、5 及び 4 を介してソフトウェアジブルレジスタ 2 に格納される。これとともに読出されたデータに対応するレジスタセーブバッファ 13 内の有効性ビットを“1”から“0”に戻す。

このソフトウェアジブルレジスタ 2 へのデー

- 17 -

ッファカウンタ制御部 19 は線 119 を介してレジスタセーブバッファカウンタ 20 内の更新された命令に対応するカウンタの情報を線 120 を介してレジスタセーブバッファクリア制御部 21 に通知するよう指示する。

命令カウンタ更新制御部 15 はレジスタセーブバッファクリア制御部 21 に線 121 を介してクリア指示を行う。レジスタセーブバッファクリア制御部 21 は線 120 を介して与えられる更新された命令に対応するカウンタの情報をもとに、線 122 を介して、レジスタセーブバッファ 13 の若いアドレスからデータ有効性ビットの有効表示をクリアする。このクリア動作は、レジスタセーブバッファカウンタ 20 内の対応するカウンタのカウント数を -1 カウントダウンしながら行われ、カウント数が“0”になるまで繰返される。

障害発生が障害処理部へ報告されると、命令リトライを開始するためのリカバー処理が、サイクル 11 から行われる。レジスタセーブバッファアドレスレジスタ 12 で示されたアドレスから -1

- 16 -

タリカバー完了後、レジスタセーブバッファセーブ／リカバー制御部 11 から線 123 を介して与えられるクリア指示によりレジスタセーブバッファカウンタ 20 のカウント数がリセットされる。これにより、命令リトライ可能状態となり、障害発生時点から保持し続けている命令カウンタの値から命令をやり直すことができる。

この実施例では説明の便宜上、パイプラインを浮動小数点用演算パイプラインと固定小数点用演算パイプラインとの 2 本で説明したが、本発明はこれに限定されず 3 以上の演算パイプラインでも実施可能である。

発明の効果

以上説明したように、本発明によれば、データが決定されるとソフトウェアジブルレジスタの内容をすぐに更新し、更新前データをレジスタセーブ／リカバーし命令リトライを可能とすることにより、後続の命令に更新されたソフトウェアジブルレジスタのデータを早く迎えてやれるので、演算速度の向上を計り、また少ないハードウェア

- 18 -

量で高いリトライ率を得ることができるという効果がある。

4. 図面の簡単な説明

第1図は本発明の一実施例を示す図、第2図は第1図の演算制御部1の詳細な構成例を示す図、第3図は本発明の一実施例の動作を説明するための図、第4図は本発明の前提となるパイプライン処理を説明するための図、第5図は従来の演算パイプライン処理を説明するための図である。

主要部分の符号の説明

- 1 …… 演算制御部
- 2 …… ソフトウェアビジュアルレジスタ
- 3 ~ 10 …… レジスタ
- 11 …… レジスタセーフバッファ
セーフ/リカバー制御部
- 13 …… レジスタセーフバッファ
- 15 …… レジスタ命令カウンタ更新制御部
- 16 …… 障害処理制御
- 19 …… レジスタセーフバッファカウンタ
制御部

- 19 -

- 20 …… レジスタセーフバッファカウンタ
- 21 …… レジスタセーフバッファクリア制
御部

出願人 日本電気株式会社

代理人 弁理士 柳川 信

- 20 -

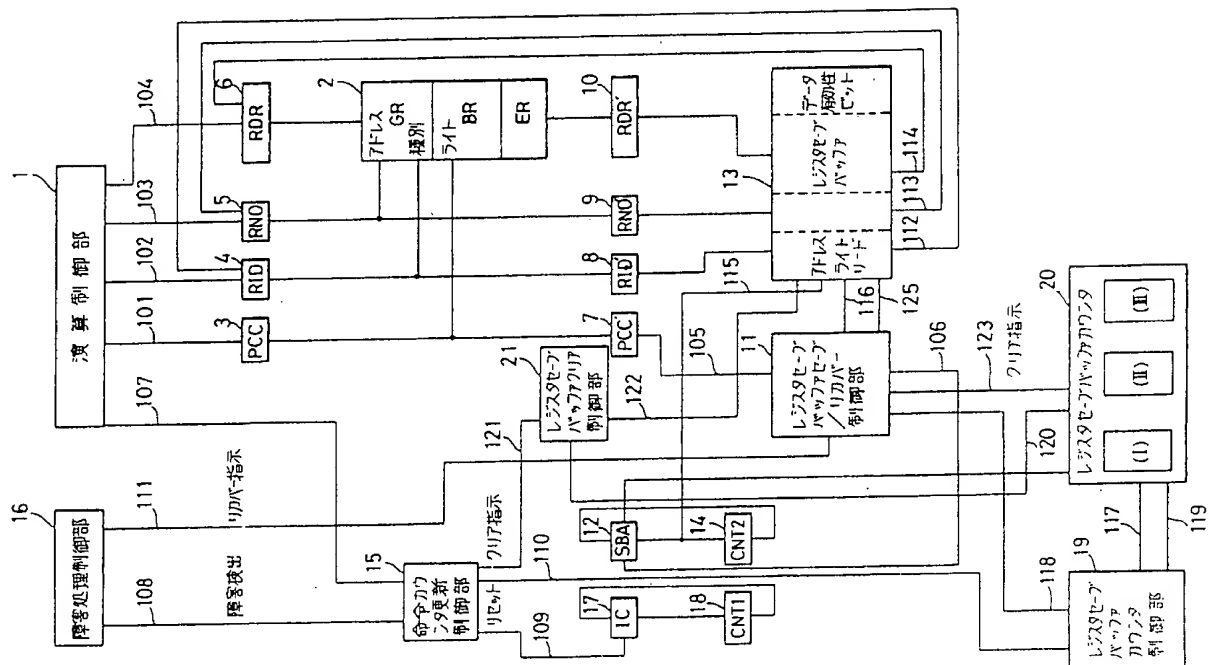
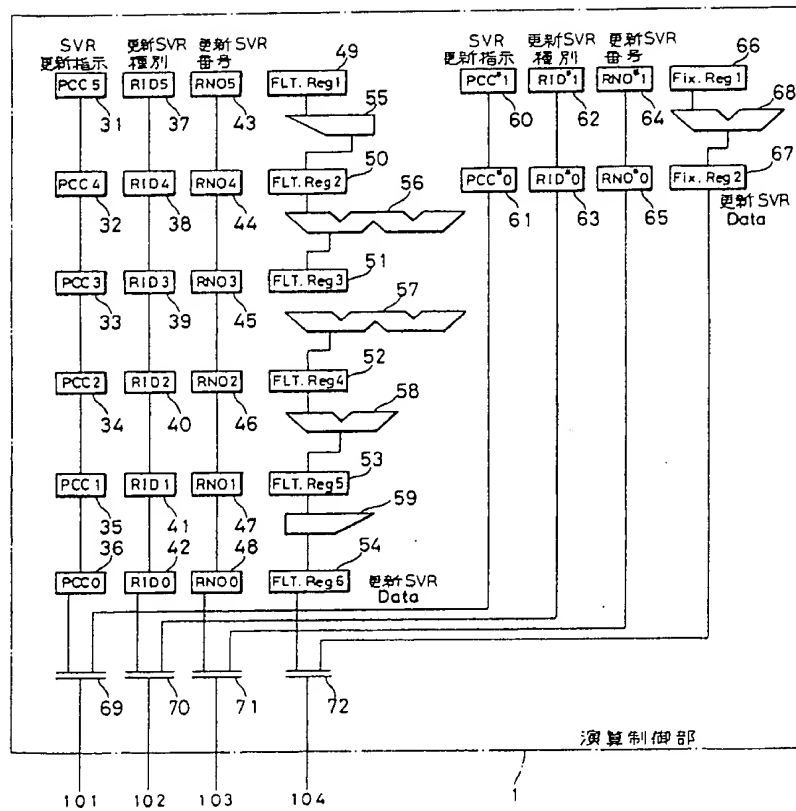
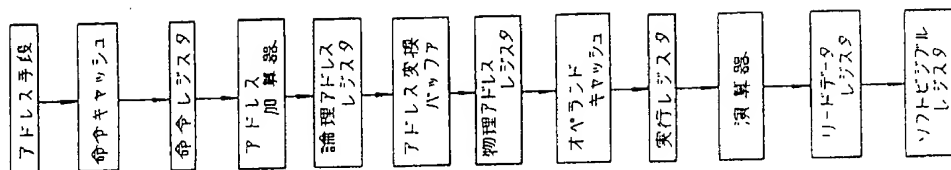


Fig. 1
第1図

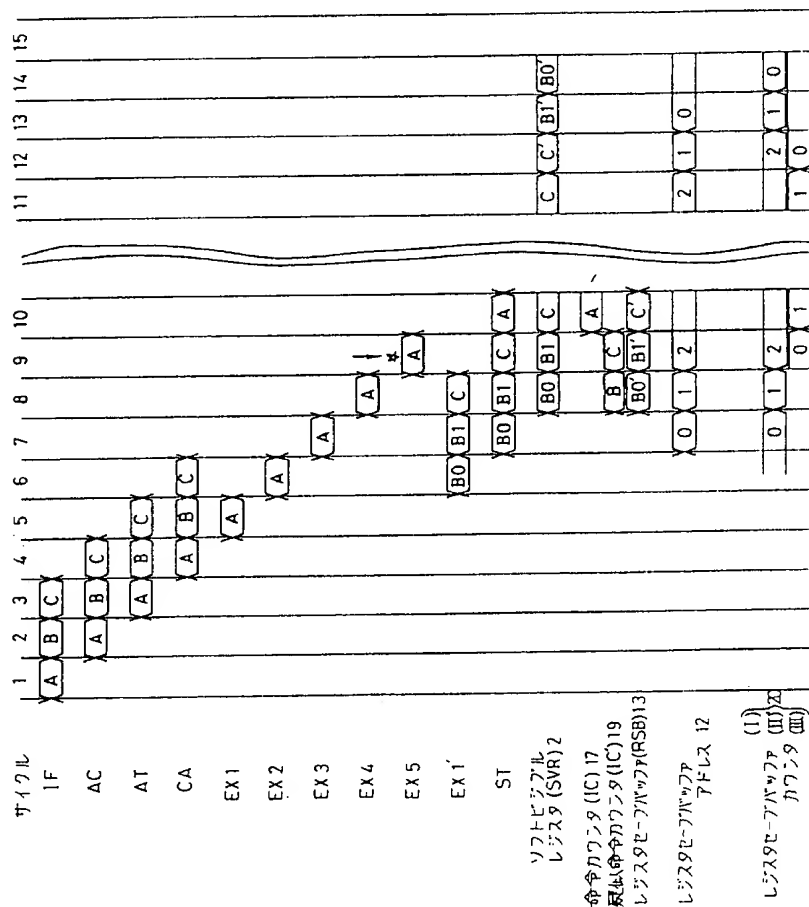
第 2 図



第4図



第3図



第 5 図

